

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Problem Image Mailbox.**

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2002 年 11 月 21 日 (21.11.2002)

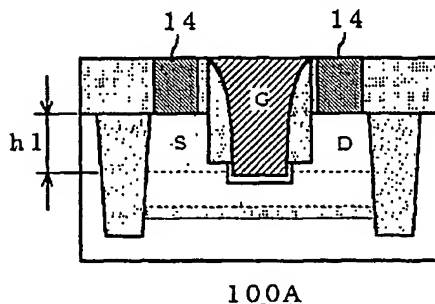
PCT

(10) 国際公開番号  
WO 02/093651 A1

- (51) 国際特許分類<sup>7</sup>: H01L 29/78, 21/336 (SUZUKI, Toshiharu) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP).
- (21) 国際出願番号: PCT/JP02/04723
- (22) 国際出願日: 2002 年 5 月 16 日 (16.05.2002) (74) 代理人: 中村 友之 (NAKAMURA, Tomoyuki); 〒105-0001 東京都港区虎ノ門1丁目2番3号 虎ノ門第一ビル9階 三好内外国特許事務所内 Tokyo (JP).
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語 (81) 指定国 (国内): KR, US.
- (30) 優先権データ: 特願2001-147878 2001 年 5 月 17 日 (17.05.2001) JP (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).
- (71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 Tokyo (JP). 添付公開書類:  
— 国際調査報告書
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてののみ): 鈴木 俊治
- 2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: CHANNEL GATE TYPE FIELD EFFECT TRANSISTOR AND ITS MANUFACTURING METHOD

(54) 発明の名称: 溝ゲート型電界効果トランジスタ及びその製造方法



(57) Abstract: For the scale-down and large-scale integration of a transistor, the operation speed is increased by suppressing a short channel effect to reduce the capacity of a drain or source and gate. A method for manufacturing a channel gate type field effect transistor (100A) comprises the formation of an impurity introduced layer (9) serving as a source or drain in a semiconductor substrate (1), the penetration of a first channel (20) in this semiconductor substrate (1) to form a side wall made of an insulation material on the side wall of the first channel (20), the penetration of a second channel (22) in the bottom of the first channel with the side wall (21) as a mask to form a gate insulation film (5) over the bottom of the second channel (22), and the formation of a gate (G) to fill the second channel (22) and the first channel (20).

/続葉有/



WO 02/093651 A1



---

(57) 要約:

トランジスタの微細化と大規模な集積化を図る上で、短チャンネル効果を効果的に抑制し、ドレインあるいはソースとゲートとの容量を低減させて動作速度を高めることができる。溝ゲート型電界効果トランジスタ（１００Ａ）の製造方法が、半導体基板（１）にソース又はドレインとなる不純物導入層（９）を形成し、この半導体基板（１）に第１の溝（２０）を穿ち、第１の溝（２０）の側壁に絶縁材料からなるサイドウォール（２１）を形成し、サイドウォール（２１）をマスクとして第１の溝の底面に第２の溝（２２）を穿ち、第２の溝（２２）の底面にゲート絶縁膜（５）を形成し、第２の溝（２２）及び第１の溝（２０）を埋めるようにゲートＧを形成することからなる。

## 明細書

## 溝ゲート型電界効果トランジスタ及びその製造方法

## 5 技術分野

本発明は、微細化に対応し、かつ短チャンネル効果を抑制することのできる溝ゲート型電界効果トランジスタに関する。

## 背景技術

- 10 シリコン基板を用いたMOS型LSIは、現在、 $0.18\mu\text{m}$ のデザインルール（設計基準）のLSIが量産に移行した段階にあるが、微細化による集積度の向上がさらに求められており、 $0.13\mu\text{m}$ から $0.10\mu\text{m}$ のデザインルールのLSIが開発されている。このLSIには、動作速度の高速化や低消費電力化も求められている。
- 15 LSIを微細化し、集積度を大規模にする場合、個々のトランジスタの性能のバラツキを抑える上で、短チャンネル効果を抑制することが極めて重要な課題となる。このため、既に実用化されている、半導体基板上にゲートを形成し、ソースとドレインをゲートに対して自己整合的に形成するMOS型電界効果トランジスタにおいては、ソースやドレイン
- 20 の不純物濃度、形状、チャンネル領域のウェル不純物プロファイル等の最適化を図ることがなされており、さらにソースやドレインの端に斜めイオン注入等の方法で反対導電型の、所謂、Halo又はポケットと称される不純物領域を形成し、短チャンネル効果を抑制することが試みられている。しかしながら、多数のパラメータの最適化には、多大な労力が必要とされるため、その開発と量産化には長時間が必要とされている。また、短チャンネル効果が十分に抑制されているともいえない。
- 25

また、 $0.1\ \mu\text{m}$ のデザインルール以降の微細化したトランジスタにおいては、微細化トレンドにしたがったトランジスタ性能を達成することが難しく、新たな材料の採用が必要となっている。例えば、デザインルールが $0.1\ \mu\text{m}$ 以降のトランジスタでは、ゲート絶縁膜がシリコン酸化膜換算で $2\ \text{nm}$ 以下となり、シリコン酸化膜の直接トンネル電流領域となるため、ゲート絶縁膜としてシリコン酸化膜に代わる高誘電率絶縁膜を採用することが必要となっている。

また、ゲートを従前のポリシリコンから形成するとゲートそのものに空乏化が生じ、トランジスタの性能向上の妨げとなるので、ゲートの形成材料にTiN、Mo等の金属材料を採用することが必要となっている。しかしながら、このような金属材料は、ゲートに対して自己整合的にソースやドレインを形成する従前のトランジスタの製造方法においては、ソースやドレインの形成時の熱処理に耐えられないため、これまでのトランジスタの製造方法の採用を不可能とする。

そこで、ゲートを金属材料で形成するためのトランジスタの形成手法として、所謂、ダマシゲートトランジスタが提案されている。

第8A図乃至第8I図は、ダマシゲート法によりn型トランジスタ100Xを製造する方法の工程説明図である。

この方法では、まず、p型のシリコン基板1に素子分離2を形成し、さらに $\text{SiO}_2$ 等からなるスルー膜3を形成し（第8A図）、スルー膜3を通してイオン注入することによりウェル4及びVthの適性化層（図示せず）をそれぞれ形成する（第8B図）。次にスルー膜3を除去した後、 $1000^\circ\text{C}$ 、30分程度の熱酸化により $3\sim 5\ \text{nm}$ 程度のゲート絶縁膜5を形成し、その上に減圧CVD等により、ダミーゲートとなる厚さ $500\ \text{nm}$ 程度のポリシリコン6を堆積する（第8C図）。その後、リソグラフィ技術とエッチング技術を用いて所望のデザインルール

のゲートパターン（ダミーゲート）6' を形成する。そして、このゲートパターン6' をマスクとして、拡張ソース7 a、拡張ドレイン7 bとなる砒素等の不純物を矢印のように10 keV、 $1 \times 10^{15} \text{ cm}^{-2}$ 程度イオン注入する（第8 D図）。次に、通常のCVD法によりSiO<sub>2</sub>膜を堆積し、異方性エッチングすることにより、サイドウォール8を形成し、再びイオン注入することにより、ソースS、ドレインDとなる不純物導入層を形成する砒素を30 keVで $3 \times 10^{15} \text{ cm}^{-2}$ 程度導入する（第8 E図）。

次に、短チャンネル効果の抑制のためのポケット（Halo）10を形成するために、基板面の法線に対して10°～30°の角度で砒素等のp型不純物を20 keV、 $1 \times 10^{13} \text{ cm}^{-2}$ 程度イオン注入する（第8 F図）。そして、これまでに基板1に導入した不純物を活性化するために、電気炉で900℃、30分程度、あるいは急速加熱法により1050℃、10秒程度のアニールを施す。

その後、CVD法によりSiO<sub>2</sub>等の層間絶縁膜11を堆積し、次いで、層間絶縁膜11をダミーゲート6' が露出するまでCMPで研磨し、さらにダミーゲート6' をエッチングで取り除き、溝12を形成する（第8 G図）。

この溝12に真のゲートGとなる金属13をスパッタ法又はCVD法で埋め込み、再びCMPにより平坦化し（第8 H図）、ソース、ドレインの取り出し電極14を形成し（第8 I図）、トランジスタ100Xを得る。第9図は、こうして得たトランジスタ100Xの上面図である。

なお、このダマシゲート法によるトランジスタの形成において、ゲート絶縁膜5の信頼性を高めるためには、ゲート絶縁膜5をダミーゲート6' の形成前に形成するのではなく、ダミーゲート6' を取り除いた後に熱酸化により形成することが好ましい。また、ゲート絶縁膜5とし

て高誘電率絶縁膜を形成する場合には、ダミーゲート 6' を取り除いた後、溝 1 2 内に、スパッタ法又は CVD 法により  $ZrO_2$ 、 $Al_2O_3$  等の高誘電率絶縁膜を形成することが好ましい。

このように高誘電率絶縁膜からなるゲート絶縁膜の形成あるいは金属材料からなるゲートの形成を、不純物を活性化するアニールの後に行うことにより、高誘電率絶縁膜あるいはゲートが、アニール時の熱によって変性したり、上下の層と反応することを最小限に抑制できる。したがって、ゲート絶縁膜を膜厚の厚い高誘電率絶縁膜で形成することにより、ゲート絶縁膜をシリコン酸化膜で形成する場合に問題となる直接トンネル電流を防止でき、また、ゲートを金属材料で形成することにより、ゲートをポリシリコンで形成する場合に問題となるゲートの空乏化を防止できる。

しかしながら、ダマシゲート法によっても、短チャンネル効果を従前の構造のトランジスタ以上には低減させることができない。また、この方法でトランジスタを形成する場合に必要なマスク枚数は、従前のゲートに対して自己整合的にソースやドレインを形成するトランジスタの製造方法と変わらないが、ダミーゲートの形成や除去のために工程数が増えるという問題がある。

これに対し、短チャンネル効果を抑制するため、溝ゲート型トランジスタが提案されている。第 10 A 図乃至第 10 G 図は、溝ゲート型トランジスタ 100 Y を製造する方法の工程説明図である。

この方法では、p 型のシリコン基板 1 にシャロートレンチ等の素子分離 2 を形成し、さらに  $SiO_2$  等からなるスルー膜 3 を形成し、スルー膜 3 を通して矢印のようにイオン注入することによりウェル及び Vth のウェル 4 をそれぞれ形成する（第 10 A 図）。

次に、n型の不純物であるリン、砒素等を矢印のように50 keV、 $3 \times 10^{15} \text{ cm}^{-2}$ 程度イオン注入し、ソースSとドレインDを構成する不純物導入層9を形成する(第10B図)。さらに、拡張ソース7a、拡張ドレイン7bを構成する不純物導入層7を形成するために、ソースS、ドレインDを構成する不純物導入層9を形成するためのイオン注入よりも幾分高いエネルギーで $1 \times 10^{16} \text{ cm}^{-2}$ 程度のn型不純物を注入する(第10C図)。そして、これまでに基板1に導入した不純物を活性化するために、電気炉で900℃、30分程度、あるいは急速加熱法により1050℃、10秒程度のアニールを施す。

10 次に、CVD法により $\text{SiO}_2$ 等の層間絶縁膜11を堆積し、次いで、リソグラフィ技術及びドライエッチング技術を用いて、ゲートを形成する溝15を、ソース、ドレインを形成する不純物導入層9の端まで、あるいはその端よりも数十nm程度深くまで形成する(第10D図)。

その後、1000℃、30分程度の熱酸化により3~5nm程度のゲート絶縁膜5を溝15の底面及び側面に成長させ(第10E図)、さらにこの溝15内に、ポリシリコン/タングステンシリサイド、あるいは金属ゲートとなるTiN、Mo等の金属13を、CVD法又はスパッタ法により充填する(第10F図)。

最後に、ソースS、ドレインDの取り出し電極14を形成し、溝ゲート型トランジスタ100Yを得る(第10G図)。第11図は、この溝ゲート型トランジスタ100Yの上面図である。

この溝ゲート型トランジスタの構造では、ソースSとドレインDの距離がゲート長よりも長く、またソースSとドレインDが直接対面していないため、短チャンネル効果が起こりにくい。また、ソースS、ドレインDは厚く形成しても短チャンネル効果を生じさせないため、これらを厚く形成することにより、ソースSやドレインDの低抵抗化と、後のシ



リサイド形成によるリークの低減を図ることができる。さらに、溝ゲート型トランジスタは、ゲートに対してソースやドレインを自己整合的に形成する従前のトランジスタに比して少ない工程数で製造することができるという利点も有している。

- 5      しかしながら、溝ゲート型トランジスタでは、第 11 図に示すように、ソース S、拡張ソース 7 a、ドレイン D、拡張ドレイン 7 b と、ゲート G とが、極めて薄いゲート絶縁膜 5 を介して広い範囲にわたって対向しているので、ドレイン D あるいはソース S とゲート G との容量が、第 8 A 図乃至第 8 I 図に示したダマシゲートトランジスタ 100 X に比して著しく大きいという問題が生じる。

また、溝ゲート型トランジスタの実効的なゲート長は、リソグラフィの能力で規定されるデザインルールよりも長くなる傾向にある。このため、溝ゲート型トランジスタは超高速の動作速度を得る目的には適さない。

- 15      以上のような従来の MOS あるいは MIS トランジスタに対し、本発明は、電界効果トランジスタの微細化と大規模な集積化を図る上で、ゲートを金属材料から形成し、また、ゲート絶縁膜を高誘電率絶縁体から形成することに対応でき、さらに短チャンネル効果を効果的に抑制し、ドレインあるいはソースとゲートとの容量を低減させて動作速度を高め  
20      られるようにすることを目的とする。

#### 発明の開示

- 本発明者は、金属材料からなるゲートの形成や、高誘電率絶縁膜からなるゲート絶縁膜の形成に適した溝ゲート型電界効果トランジスタの構造において、ゲートを埋め込む溝にサイドウォールを形成し、かつ、その溝の底面にサイドウォールをマスクとして第 2 の溝を形成し、この第  
25

- 2の溝の底面にゲート絶縁膜を形成し、これらの溝を埋め込むようにゲートを形成すると、ソースとドレインが対向せず、その間の距離を長くとることができるので、短チャンネル効果を効果的に抑制でき、トランジスタの超微細化が可能となること、さらに、サイドウォールにより、
- 5 ソースあるいはドレインとゲートとの容量を大幅に低減させられるので、動作速度を高め、トランジスタの性能をより効果的に引き出せることを見出した。

- 即ち、本発明は、不純物導入層を備えた半導体基板に穿った第1の溝の側壁に形成された、絶縁材料からなるサイドウォール、第1の溝の底面に穿った第2の溝の底面に設けられたゲート絶縁膜、第1の溝と第2の溝とを埋めるように形成されたゲート、及び前記不純物導入層からなり、サイドウォールを介してゲートと対向するソース及びドレインからなる溝ゲート型電界効果トランジスタを提供する。
- 10

- また、本発明は、このような溝ゲート型電界効果トランジスタの製造方法として、半導体基板にソース又はドレインとなる不純物導入層を形成し、該半導体基板に第1の溝を穿ち、第1の溝の側壁に絶縁材料からなるサイドウォールを形成し、サイドウォールをマスクとして第1の溝の底面に第2の溝を穿ち、第2の溝の底面にゲート絶縁膜を形成し、第2の溝及び第1の溝を埋めるようにゲートを形成することを特徴とする
- 15
- 20 溝ゲート型電界効果トランジスタの製造方法を提供する。

#### 図面の簡単な説明

- 第1A図乃至第1H図は、実施例のトランジスタの製造方法の工程説明図である。
- 25 第2A図乃至第2I図は、実施例のトランジスタの製造方法の工程説明図である。

第 3 A 図乃至第 3 I 図は、実施例のトランジスタの製造方法の工程説明図である。

第 4 A 図乃至第 4 J 図は、実施例のトランジスタの製造方法の工程説明図である。

5. 第 5 A 図乃至第 5 D 図は、実施例のトランジスタの製造方法の工程説明図である。

第 6 図は、実施例のトランジスタの断面図である。

第 7 A 図乃至第 7 J 図は、実施例のトランジスタの製造方法の工程説明図である。

- 10 第 8 A 図乃至第 8 I 図は、従来のダマシゲートトランジスタの製造方法の工程説明図である。

第 9 図は、従来のダマシゲートトランジスタの上面図である。

第 10 A 図乃至第 10 G 図は、従来の溝ゲート型トランジスタの製造方法の工程説明図である。

- 15 第 11 図は、従来の溝ゲート型トランジスタの上面図である。

発明を実施するための最良の形態

以下、図面を参照しつつ本発明を具体的に説明する。なお、各図中、同一符号は同一又は同等の構成要素を表している。

- 20 第 1 A 図乃至第 1 H 図は、実効ゲート長  $0.1 \mu\text{m}$  程度の  $n$  型の溝ゲート型 MOS (MIS) トランジスタを作製する本発明の一実施例の製造工程の説明図である。

- 25 本実施例では、まず第 10 A 図乃至第 10 G 図に示した従来の溝ゲート型トランジスタ 100 Y の製造方法と同様に、 $p$  型のシリコン基板 1 にシャロートレンチ等の素子分離 2 を  $0.34 \mu\text{m}$  程度の間隔で形成し、さらに  $\text{SiO}_2$  等からなるスルー膜 3 を形成し、スルー膜 3 を通してイ

オン注入することによりウェル4及び $V_{th}$ の適性化層（図示せず）をそれぞれ形成する（第1A図）。

次に、ソースS、ドレインDの形成領域に、n型の不純物であるリン、砒素等を $3 \times 10^{15} \text{ cm}^{-2}$ 程度の濃度で $0.1 \sim 0.2 \mu\text{m}$ 程度の深さにイオン注入することにより不純物導入層9を形成する（第1B図）。

また、スルー膜3上に、CVD法等により $\text{SiO}_2$ 等の層間絶縁膜11を $0.2 \sim 0.3 \mu\text{m}$ 程度堆積し、これに電気炉で $900^\circ\text{C}$ 、30分程度、あるいは急速加熱法により $1050^\circ\text{C}$ 、10秒程度のアニールを施し、これまでに基板1に注入した不純物を活性化する。その後、例えば、KrFレーザ等を用いたリソグラフィ技術により、素子分離2の間のほぼ中央に幅 $L_1$ が $0.18 \mu\text{m}$ 程度の第1の溝20を、層間絶縁膜11を貫通し、不純物導入層9のプロファイルの端よりも数十nm程度浅い深さまで形成する（第1C図）。

次に、CVD法と異方性エッチングを組み合わせ、第1の溝20の側壁に $\text{SiO}_2$ 等の絶縁材料からなるサイドウォール21を厚さ $L_2$ が $0.05 \mu\text{m}$ 程度となるように形成すると同時に、第1の溝20の底面で基板1を露出させる（第1D図）。

このサイドウォール21をマスクとして、第1の溝20の底面に露出している基板1に選択エッチングを、シリコンはエッチングするがシリコン酸化膜はエッチングしない $\text{HBr}$ 等のエッチングガスを用いて行うことにより、第2の溝22を、不純物導入層9のプロファイルの端部の深さ又はその端部よりも数十nm程度深い深さまで形成する（第1E図）。

次に、 $950^\circ\text{C}$ 、20分程度の乾燥酸素中で第2の溝22の底面を熱酸化することにより、厚さ $2 \sim 3 \text{ nm}$ のゲート絶縁膜5を形成するか、

あるいはCVD法又はスパッタ法等を用いて、第2の溝22の底面に高誘電率絶縁膜からなるゲート絶縁膜5を形成する（第1F図）。

その後、溝内をポリシリコンとタングステンシリサイドの2層構造で埋めるか、あるいはCVD法、スパッタ法等を用いてTiN、Mo等の  
5 金属13で埋めることによりゲートGを形成し、CMP等で平坦化する（第1G図）。

最後に、ソースS、ドレインDの取り出し電極14を形成し、トランジスタ100Aを得る（第1H図）。

こうして得たトランジスタ100Aによれば、高濃度に不純物が導入  
10 されたソースSとドレインDとの間にはゲートGが突き出して形成されているので、ソースSとドレインDが対向することなく、かつ、従来の溝ゲート型トランジスタに比してソースSとドレインD間の距離を長くとることができる。したがって、短チャンネル効果を効果的に抑制することができる。また、ソースSあるいはドレインDとゲートGとの間の  
15 絶縁膜が厚さ3nm程度のゲート絶縁膜5だけである従来の溝ゲート型トランジスタ場合に比して、このトランジスタ100Aによれば、比較的厚い絶縁膜からなるサイドウォール21が設けられているので、ソースSあるいはドレインDとゲートGとの間の容量を10分の1以下程度に低減させることができる。さらに、このトランジスタ100Aの製造  
20 方法によれば、ゲート絶縁膜5及びゲートGの形成が、ソースSやドレインDの形成のための熱工程の後に行われるため、ゲート絶縁膜材料として高誘電率絶縁膜を採用し易くなるので直接トンネル電流を防止できると共に、ゲートを金属で形成することが可能となるのでゲートの空乏化によるトランジスタ性能の劣化を防ぐことができる。

25 また、第1の溝20に対して第2の溝22はサイドウォール21により自己整合的に形成され、かつ第2の溝22の幅L3は第1の溝20の

幅  $L_1$  よりも狭く形成されるので、第 2 の溝 22 の幅  $L_3$  は、第 1 の溝 20 を規定するリソグラフィの能力よりも自動的に狭い幅に形成される。より具体的には、例えば、第 1 の溝 20 の幅  $L_1$  を  $0.18\mu\text{m}$  とし、サイドウォール 21 の幅  $L_2$  を  $0.05\mu\text{m}$  とする場合、第 2 の溝 22 の幅  $L_3$  は、 $0.08\mu\text{m}$  に形成されることとなる。したがって、本発明によれば、現在実用化されている KrF リソグラフィあるいは ArF リソグラフィでも困難とされている  $0.08\mu\text{m}$ 、あるいはそれ以下の極めてゲート長の短い微細化したトランジスタを形成することが可能となる。

10 第 1 A 図乃至第 1 H 図に示した溝ゲート型トランジスタ 100 A に対しては、ソース、ドレインを形成する不純物導入層 9 と同じ導電型の第 2 の不純物導入層を、不純物導入層 9 よりも基板の深い部位に、不純物濃度を不純物導入層 9 の数分の 1 程度に形成し、拡張ソース、拡張ドレインを設けることにより、さらに短チャンネル効果を抑制することができ  
15 きる。

第 2 A 図乃至第 2 I 図は、このような拡張ソース、拡張ドレインを設けた本発明の一実施例の溝ゲート型 MOS (MIS) トランジスタ 100 B の製造工程の説明図である。

この実施例では、第 1 A 図乃至第 1 H 図に示した溝ゲート型トランジスタ 100 A と同様に、p 型のシリコン基板 1 に素子分離 2、スルー膜 3、ウェル 4、 $V_{th}$  の適性化層 (図示せず) をそれぞれ形成し (第 2 A 図)、さらに、ソース S、ドレイン D の形成領域に、n 型の不純物であるリン、砒素等を  $3 \times 10^{15} \text{cm}^{-2}$  程度の濃度で  $0.1 \sim 0.2\mu\text{m}$  程度の深さにイオン注入することにより不純物導入層 9 を形成する (第 2 B 図)。  
20  
25

次いで、スルー膜 3 上に、CVD 法等により  $\text{SiO}_2$  等の層間絶縁膜 11 を 0.2 ~ 0.3  $\mu\text{m}$  程度堆積し、その上から、例えば、KrF レーザ等を用いたリソグラフィ技術により、素子分離 2 の間のほぼ中央に幅  $L_1$  が 0.18  $\mu\text{m}$  程度の第 1 の溝 20 を、層間絶縁膜 11 を貫通し、

5 不純物導入層 9 のプロファイルの端よりも数十 nm 程度浅い深さまで形成する（第 2 C 図）。

第 1 の溝 20 内の底面及び側面に、被覆率のよい CVD 法を用いて、 $\text{SiO}_2$  からなるスルー膜 23 を数十 nm 程度の厚さに形成する。次に、再びイオン注入法を用いて、不純物導入層 9 と同じ導電型のリン、砒素

10 等の不純物を、不純物導入層 9 よりも基板 1 の深い位置、例えば、第 1 の溝 20 の底面から 40 ~ 50 nm 程度の深さに、不純物導入層 9 の不純物濃度の数分の 1 程度、例えば、 $1 \times 10^{15} \text{cm}^{-2}$  程度の濃度で注入し、拡張ソース、拡張ドレインを形成する第 2 の不純物導入層 7 を形成する（第 2 D 図）。

15 これに電気炉で 900℃、30 分程度、あるいは急速加熱法により 1050℃、10 秒程度のアニールを施し、これまでに基板 1 に注入した不純物を活性化する。

次に、CVD 法と異方性エッチングを組み合わせ、第 1 の溝 20 の側壁に  $\text{SiO}_2$  等の絶縁材料からなるサイドウォール 21 を、厚さ  $L_2$

20 を 0.05  $\mu\text{m}$  程度に形成し、また、第 1 の溝 20 の底面で基板 1 を露出させる（第 2 E 図）。

このサイドウォール 21 をマスクとして、第 1 の溝 20 の底面に露出している基板 1 に選択エッチングを行うことにより、第 2 の溝 22 を、第 2 の不純物導入層 7 のプロファイルの端部の深さあるいはその端部よ

25 りも数 nm 程度深い深さまで形成する（第 2 F 図）。

次に、950℃、20分程度の乾燥酸素中で第2の溝22の底面を熱酸化することにより、厚さ2～3nmのゲート絶縁膜5を形成するか、あるいはCVD法又はスパッタ法等を用いて、第2の溝22の底面に高誘電率絶縁膜からなるゲート絶縁膜5を形成する（第2G図）。

- 5     その後、溝内をポリシリコンとタングステンシリサイドの2層構造で埋めるか、あるいはCVD法、スパッタ法等を用いてTiN、Mo等の金属13で埋めることによりゲートGを形成し、CMP等で平坦化する（第2H図）。

- 最後に、ソースS、ドレインDの取り出し電極14を形成し、トラン  
10   ジスタ100Bを得る（第2I図）。

- こうして得たトランジスタ100Bでは、不純物濃度が高いソースS及びドレインDがゲートGよりも浅い位置に形成されているため、ソースSとドレインDの距離は第1A図乃至第1H図のトランジスタ100Aよりもさらに長くなり、短チャンネル効果がさらに抑制された構造となる。さらに、拡張ソース7a、拡張ドレイン7bがゲートGとほぼ同じ深さまで形成されているため、電流駆動能力の低減が最小限に抑制される。
- 15

- 第3A図乃至第3I図は、ソース又はドレインを形成する不純物導入層と反対の導電型の反対導電型不純物導入層（所謂、ポケット又は  
20   Halo）を、ソース又はドレインの直下に設けることにより、短チャンネル効果をさらに効果的に抑制する本発明の実施例の溝ゲート型MOS（MIS）トランジスタ100Cの製造工程の説明図である。

- この実施例では、第1A図乃至第1H図に示した溝ゲート型トランジスタ100Aと同様に、p型のシリコン基板1に素子分離2、スルー膜  
25   3、ウェル4、Vthの適性化層（図示せず）をそれぞれ形成し（第3A図）、さらに、ソースS、ドレインDの形成領域に、n型の不純物で



あるリン、砒素等を  $3 \times 10^{15} \text{ cm}^{-2}$  程度の濃度で  $0.1 \sim 0.2 \mu\text{m}$  程度の深さにイオン注入することにより不純物導入層 9 を形成する（第 3 B 図）。

次に、不純物導入層 9 を形成する不純物と反対の導電型のホウ素等の  
5 不純物を、不純物導入層 9 よりも  $20 \sim 30 \text{ nm}$  程度深い位置に  $1 \times 10^{13} \text{ cm}^{-2}$  程度の濃度でイオン注入し、反対導電型不純物導入層 24 を形成する（第 3 C 図）。

また、スルー膜 3 上に、CVD 法等により  $\text{SiO}_2$  等の層間絶縁膜 11 を  $0.2 \sim 0.3 \mu\text{m}$  程度堆積し、その上から、例えば、KrF レー  
10 ザ等を用いたリソグラフィ技術により、素子分離 2 の間のほぼ中央に幅  $L1$  が  $0.18 \mu\text{m}$  程度の第 1 の溝 20 を、層間絶縁膜 11 を貫通し、基板 1 の不純物導入層 9 のプロファイルの端部まで、あるいはその端部よりも数十  $\text{nm}$  程度浅い深さまで形成する（第 3 D 図）。この第 1 の溝 20 内の底面及び側面に、被覆率のよい CVD 法を用いて、 $\text{SiO}_2$  か  
15 らなるスルー膜 23 を数十  $\text{nm}$  程度の厚さに形成する。

次に、再びイオン注入法を用いて、不純物導入層 9 と同じ導電型のリン、砒素等の不純物を、第 1 の溝 20 の底面から  $40 \sim 50 \text{ nm}$  程度の深さに、 $1 \times 10^{15} \text{ cm}^{-2}$  程度の濃度で注入し、拡張ソース、拡張ドレ  
20 インを形成する第 2 の不純物導入層 7 を形成する。そして、電気炉で  $900^\circ\text{C}$ 、 $30$  分程度、あるいは急速加熱法により  $1050^\circ\text{C}$ 、 $10$  秒程度のアニールを施し、これまでに基板 1 に注入した不純物を活性化する。これにより、第 1 の溝 20 の直下と左右の隣接する部位では、反対導電型不純物導入層 24 の不純物が活性化の際に電氣的に補償されることにより n 型層となり、ソース S、ドレイン D の形成部位の直下のみにポケット 25 が形成される（第 3 E 図）。

以降、第2の溝22を、第2A図乃至第2I図に示した溝ゲート型トランジスタ100Bと同様に形成し（第3F図）、ゲート絶縁膜5を形成し（第3G図）、溝を埋め込んでゲートGを形成し（第3H図）、取り出し電極14を形成することにより溝ゲート型トランジスタ100Cを得る（第3I図）。

このトランジスタ100Cでは、不純物濃度の高いソースSとドレインDがゲートGよりも浅い位置に形成されることにより、ソースSとドレインDが直接対向することなく、又、それらの距離が長くなっていることに加え、ソースSとドレインDの直下に、空乏層の伸びを抑制するポケット25が形成されているため、第2A図乃至第2I図のトランジスタ100Bよりもさらに短チャンネル効果を抑制することができる。

本発明の溝ゲート型トランジスタにおいては、ソースやドレインの厚さを後退させることにより、ソースやドレインとゲートとの対向面積を低減させ、それによりソースあるいはドレインとゲートとの間の容量を低減させ、動作の高速化を図ることができる。例えば、第4A図乃至第4J図に示すように、第1A図乃至第1H図の溝ゲート型トランジスタ100Aの構造において、ソースやドレインとゲートとの対向面積を低減させた溝ゲート型トランジスタ100Dを得ることができる。

即ち、まず、第1A図乃至第1H図の溝ゲート型トランジスタ100Aと同様に、基板1に形成した不純物導入層9に第1の溝20を形成し（第4A図乃至第4C図）、その側壁にサイドウォール21を形成する（第4D図）が、本実施例では、サイドウォール21と層間絶縁膜11との互いのエッチングの選択性を異ならせるために、例えば、層間絶縁膜11を $\text{Si}_3\text{N}_4$ で形成し、サイドウォール21を $\text{SiO}_2$ で形成する。

次に、サイドウォール21をマスクとして第2の溝22を形成し（第4E図）、ゲート絶縁膜5を形成し（第4F図）、溝に金属13を埋め

込んでゲートGを形成し（第4G図）、その後、選択エッチングすることにより、 $Si_3N_4$ からなる層間絶縁膜11のみを選択的に除去し（第4H図（1））、層間絶縁膜11の選択的エッチングにより露出したソースS、ドレインDに対して、通常のSiエッチングを行い、ソースS、  
5 ドレインDの厚さをこれらの低抵抗性が損なわれない程度の厚さ、例えば、 $200\Omega/\square$ 以下で50nm程度まで後退させる。

この層間絶縁膜11の選択的エッチングでゲートGに悪影響が及ぼされないようにするためには、選択的エッチングを行う前にゲートG上をマスクで覆っておくことが望ましい。また、第4G図に示すようにゲートGを形成した後、第4H図（2）に示すように、CMP等によって素子分離2の高さまで、層間絶縁膜11、サイドウォール21及びゲートGを後退させておき、ソースSやドレインDとゲートGとの間の間隔を十分に確保しておくことが有効である。CMP等によって露出したソースS、ドレインDに対しては、上述したように、通常のSiエッチング  
15 を行い、ソースS、ドレインDの厚さをこれらの低抵抗性が損なわれない程度の厚さ、例えば、 $200\Omega/\square$ 以下で50nm程度まで後退させる（第4I図）。

その後、再度、層間絶縁膜11bを形成し、これにソースS、ドレインDの取り出し電極14を形成し、溝ゲート型トランジスタ100Dを得る（第4J図）。  
20

こうして得られたトランジスタ100DのソースS、ドレインDの厚さh2は、第1A図乃至第1H図のトランジスタ100AのソースS、ドレインDの厚さh1よりも薄い。したがって、ソース、ドレインとゲートとの容量を、ソース、ドレインがゲートの側面に対向しない第8A図乃至第8I図の従来のトランジスタ100Xと同程度に低減させることができる。  
25

このようにソース、ドレインの厚さを後退させることによる、ソースあるいはドレインとゲートとの容量の低減は、第2 A図乃至第2 I図、第3 A図乃至第3 I図に示した溝ゲート型トランジスタ100 B、100 Cに対してもそれぞれ同様に適用することができる。即ち、第2 A図  
5 乃至第2 I図に示したトランジスタ100 Bに適用する場合、第2 H図に示したように溝に金属13を埋め込んでゲートGを形成した後（第5 A図）、第5 B図に示すように、CMP等によって素子分離2の高さまで、層間絶縁膜11、サイドウォール21及びゲートGを後退させておき、さらにSiエッチングを行うことによりソースSとドレインDの厚  
10 さを後退させ（第5 C図）、その上に層間絶縁膜11bを形成し、これに取り出し電極14を形成することによりトランジスタ100 Eを得る（第5 D図）。

また、第3 A図乃至第3 I図に示した溝ゲート型トランジスタ100 Cの構造にもおいても同様にしてソースとゲートの厚さを後退させ、第  
15 6図に示した溝ゲート型トランジスタ100 Fを得る。

第7 A図乃至第7 J図は、上述の実施例の溝ゲート型トランジスタよりも、ソース、ドレインの抵抗をさらに低減させた実施例の溝ゲート型トランジスタ100 Gの製造工程の説明図である。この実施例では、まず、第4図乃至第4 J図に示した溝ゲート型トランジスタ100 Dと同  
20 様に、 $\text{Si}_3\text{N}_4$ からなる層間絶縁膜11を形成し、それを貫通する第1の溝20を形成し（第7 A図乃至第7 C図）、第1の溝20の側壁にサイドウォール21を形成し、それをマスクとして第2の溝22を形成する（第7 D図）。

次に、第2の溝22の底面に露出した基板1に、例えば950℃、1  
25 0分程度の熱酸化により犠牲酸化膜27を形成する（第7 E図）。

その後、選択エッチングにより  $\text{Si}_3\text{N}_4$  からなる層間絶縁膜 11 を除去してソース S 及びドレイン D の表面を露出させ（第 7 F 図）、さらに  $\text{Si}$  エッチングを行うことによりソース S とドレイン D の厚さを薄くする（第 7 G 図）。

- 5      こうして厚さを薄くしたソース S 及びドレイン D の上に、Co、Ti 等の金属を堆積させ、通常のサリサイド法により、Co、Ti 等のシリサイド 28 を形成する（第 7 H 図）。

- 次に犠牲酸化膜 27 を除去し、そこにゲート絶縁膜 5 として、高品質の酸化膜を CVD 等により形成するか、あるいは  $\text{Al}_2\text{O}_3$  等の高誘電率絶縁膜を堆積する。以降、上述の実施例と同様に、ゲート絶縁膜 5 上の溝を、ポリシリコンとタングステンシリサイドの 2 層構造で埋めるか、あるいは金属 13 を埋め込んでゲート G を形成し（第 7 I 図）、その上に層間絶縁膜 11b を形成し、これに取り出し電極 14 を形成することによりトランジスタ 100G を得る（第 7 J 図）。
- 10      このように薄く形成したソース S とドレイン D の上に Co、Ti 等のシリサイドを形成することにより、ソースとドレインの抵抗を低減させた高性能のトランジスタを形成することができる。なお、ソース S とドレイン D 上のシリサイドの形成金属としては、薄膜に低抵抗に形成でき、リークをもたらさないものであればよく、Co や Ti に限定されるもの
- 15      ではない。

- また、第 4 図乃至第 4 J 図、第 5 A 図乃至第 5 D 図に示した実施例では、ソース S とドレイン D の後退をゲートの形成後に行っているのに対し、第 7 A 図乃至第 7 J 図に示した実施例では、ソース S とドレイン D の後退を犠牲酸化膜 27 を設けた後（第 7 E 図）、ゲート G の形成（第 7 I 図）前に行っているが、本発明において、ソース S とドレイン D の後退はいずれの態様により後退させてもよい。
- 20

本発明は、この他種々の態様をとることができる。例えば、上述の例ではn型のMOS又はMISトランジスタの製造方法について説明したが、基板及び不純物の導電型を逆にすることにより、p型のトランジスタにも同様に適用することができる。

- 5      ゲートの構成材料として用いる金属や、ゲート絶縁膜として用いる高誘電率絶縁膜も上述した例に限られない。ワークファンクションが適当な金属や、バンドギャップが適当な高誘電率絶縁材料であって、成型性がよく、安定している材料を適宜選択することができる。

- 種々の膜の厚さ、不純物濃度、不純物層の深さ等も上述の例に限られ  
10      ず、作製する当該トランジスタのゲート長、 $V_{th}$ 、電流駆動能力、その他の所期の特性によって最適化することができる。

- 本発明の溝ゲート型電界効果トランジスタによれば、高濃度に不純物が導入されたソースとドレインとの間にゲートが突き出して形成されているので、従来の溝ゲート型トランジスタに比してソースとドレインが  
15      直接対向することなく、それらの間の距離を長くとることができる。したがって、短チャンネル効果を効果的に抑制することができる。

- また、ソースあるいはドレインとゲートとの間の絶縁膜が厚さ3 nm程度のゲート絶縁膜だけである従来の溝ゲート型トランジスタに比して、比較的厚い絶縁膜からなるサイドウォールが設けられているので、ソー  
20      スあるいはドレインとゲートとの間の容量を10分の1以下程度に低減させることができる。

- さらに、本発明の溝ゲート型電界効果トランジスタの製造方法によれば、ゲート絶縁膜及びゲートの形成を、ソースやドレインの形成のための熱工程の後に行なうことができる。このため、ゲート絶縁膜材料として高誘電率絶縁膜を採用することができ、直接トンネル電流を防止でき  
25      て高誘電率絶縁膜を採用することができ、直接トンネル電流を防止でき

ると共に、ゲートを金属で形成することも可能となるのでゲートの空乏化によるトランジスタ性能の劣化を防ぐことができる。

また、本発明においてゲート長を規定する第2の溝の幅は、リソグラフィの能力で規定される第1の溝の幅よりも短くなるので、トランジスタの微細化をリソグラフィの能力で規定されるデザインルールよりも推進させることができる。

特に、本発明において、ソースとドレインの厚さを後退させた態様によれば、ソースあるいはドレインとゲートとの対向面積を増加させることなくソース、ドレイン上にシリサイドを形成できるので、ソース、ドレインとゲートとの容量の低減と、ソース、ドレインの抵抗の低減を同時に達成することができる。

また、本発明の溝ゲート型電界効果トランジスタによれば、従来のダマシゲートトランジスタに比して少ない工程数で製造でき、製造コストの低減も図ることができる。

## 請求の範囲

1. 不純物導入層を備えた半導体基板に穿った第1の溝の側壁に形成された、絶縁材料からなるサイドウォール、
- 5 第1の溝の底面に穿った第2の溝の底面に設けられたゲート絶縁膜、第1の溝と第2の溝とを埋めるように形成されたゲート、及び前記不純物導入層からなり、サイドウォールを介してゲートと対向するソース及びドレインからなる溝ゲート型電界効果トランジスタ。
- 10 2. ソース又はドレインとゲート絶縁膜との間に、ソース又はドレインを形成する不純物導入層よりも低濃度の不純物が導入された第2の不純物導入層からなる拡張ソース又は拡張ドレインが設けられている請求の範囲第1項記載の溝ゲート型電界効果トランジスタ。
3. ソース又はドレインを形成する不純物導入層と反対の導電型の反対導電型不純物導入層が、ソース又はドレインの直下に形成されている
- 15 請求の範囲第1項又は第2項記載の溝ゲート型電界効果トランジスタ。
4. ソース又はドレインを形成する不純物導入層上にシリサイドが積層されている請求の範囲第1項～第3項のいずれかに記載の溝ゲート型電界効果トランジスタ。
- 20 5. 半導体基板にソース又はドレインとなる不純物導入層を形成し、該半導体基板に第1の溝を穿ち、第1の溝の側壁に絶縁材料からなるサイドウォールを形成し、サイドウォールをマスクとして第1の溝の底面に第2の溝を穿ち、第2の溝の底面にゲート絶縁膜を形成し、
- 25 第2の溝及び第1の溝を埋めるようにゲートを形成することを特徴とする溝ゲート型電界効果トランジスタの製造方法。



6. 第1の溝を、不純物導入層のプロファイルの端部よりも浅い深さに形成し、第2の溝を、不純物導入層のプロファイルの端部の深さ又は該端部よりも深い深さに形成する請求の範囲第5項記載の溝ゲート型電界効果トランジスタの製造方法。
- 5 7. 第1の溝を形成後、前記不純物導入層と同じ導電型の第2の不純物導入層を、前記不純物導入層よりも基板の深い部位に、前記不純物導入層よりも低濃度の不純物から形成し、第2の溝を第2の不純物導入層に形成する請求の範囲第5項又は6項記載の溝ゲート型電界効果トランジスタの製造方法。
- 10 8. 前記不純物導入層と反対の導電型の反対導電型不純物導入層を、前記不純物導入層よりも基板の深い部位に形成し、その後第1の溝を形成する請求の範囲第7項記載の溝ゲート型電界効果トランジスタの製造方法。
9. ゲートの形成後、ソース又はドレインとなる不純物導入層の厚さを後退させる請求の範囲第5項～第8項のいずれかに記載の溝ゲート型電界効果トランジスタの製造方法。
- 15 10. 第2の溝の形成後、ゲートの形成前に、ソース又はドレインとなる不純物導入層の厚さを後退させる請求の範囲第5項～第8項のいずれかに記載の溝ゲート型電界効果トランジスタの製造方法。
- 20 11. ソース又はドレイン上にシリサイドを積層する請求の範囲第9項又は第10項記載の溝ゲート型電界効果トランジスタの製造方法。
12. 第2の溝の形成後、ソース又はドレインとなる不純物導入層の厚さを後退させる前に、第2の溝の底面に犠牲酸化膜を形成し、不純物導入層の不純物を活性化させる熱処理を施し、
- 25 ソース又はドレインとなる不純物導入層の厚さを後退させ、

その後、犠牲酸化膜を除去してゲートを形成する請求の範囲第 10 項記載の溝ゲート型電界効果トランジスタの製造方法。

1/11

Fig.1A

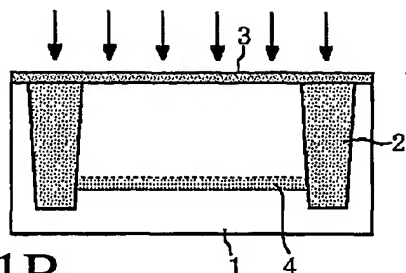


Fig.1B

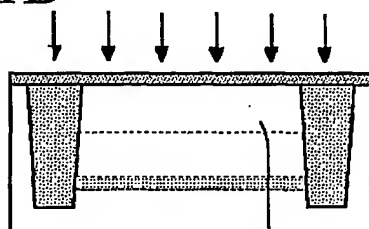


Fig.1C

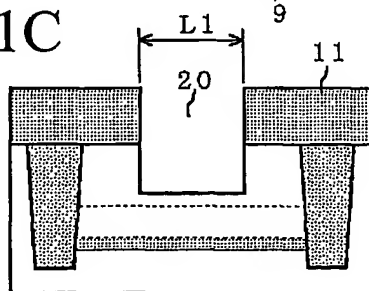


Fig.1D

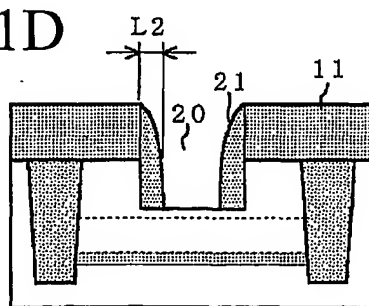


Fig.1E

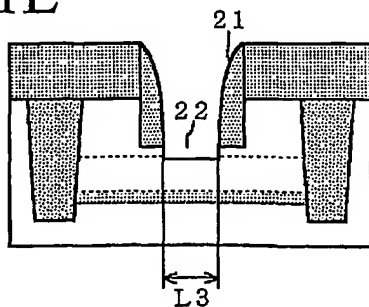


Fig.1F

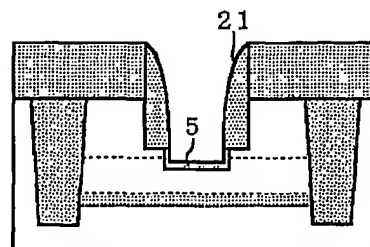


Fig.1G

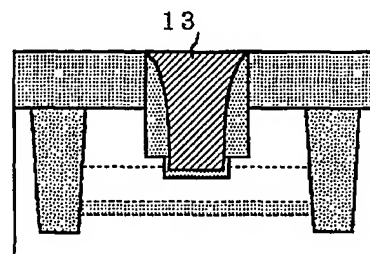
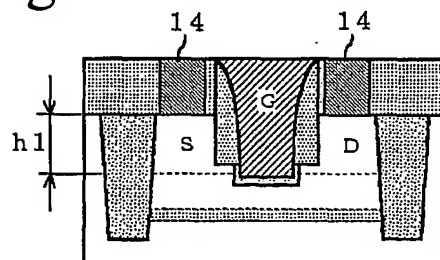


Fig.1H



100A

2/11

Fig.2A

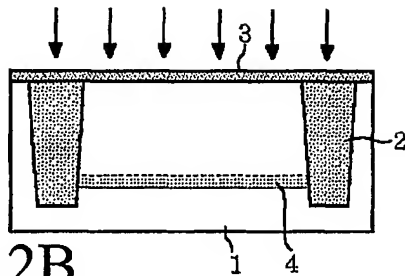


Fig.2B

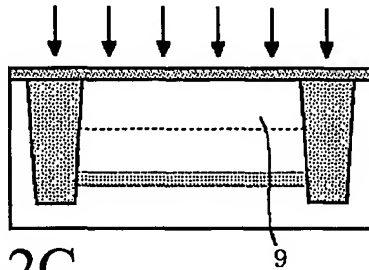


Fig.2C

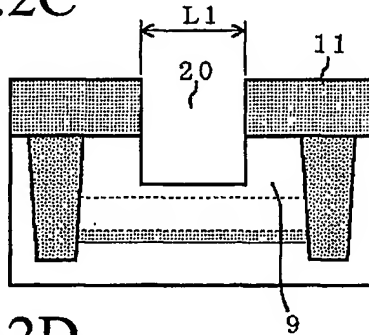


Fig.2D

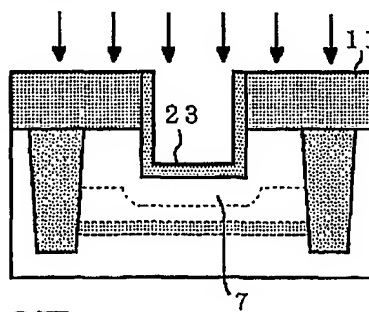


Fig.2E

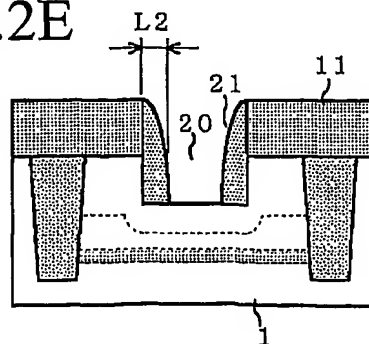


Fig.2F

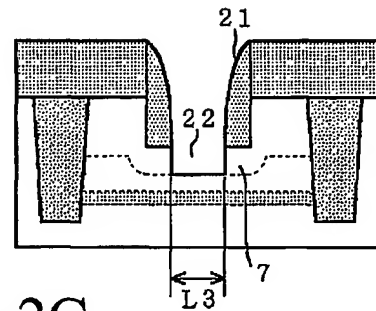


Fig.2G

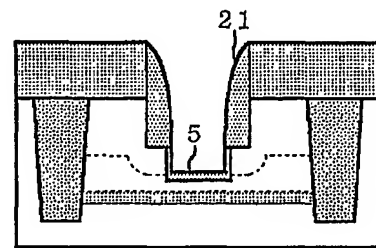


Fig.2H

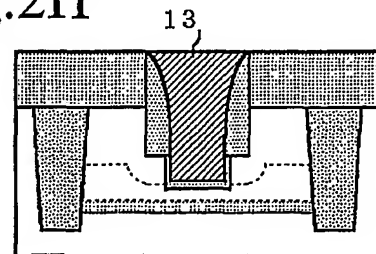
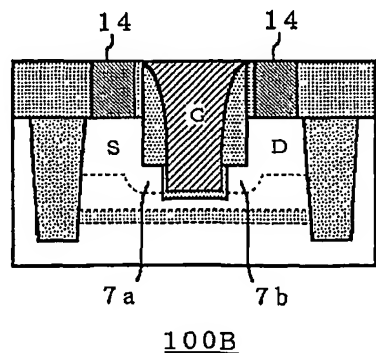


Fig.2I



3/11

Fig.3A

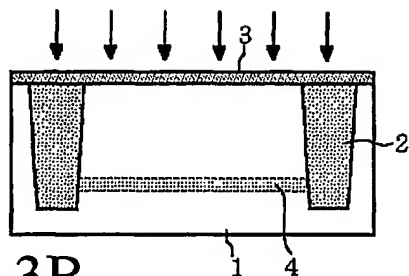


Fig.3B

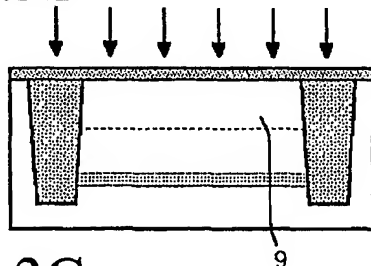


Fig.3C

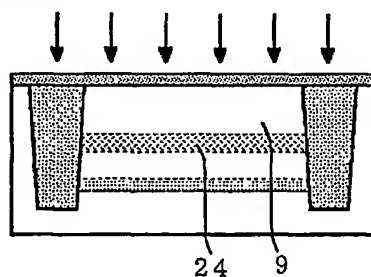


Fig.3D

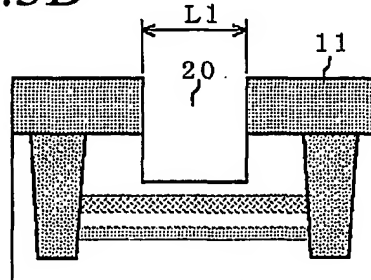


Fig.3E

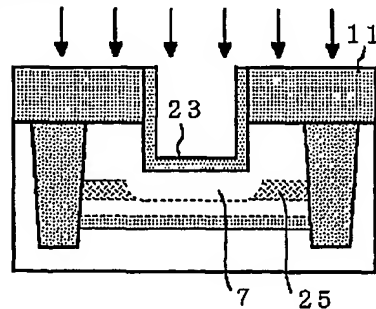


Fig.3F

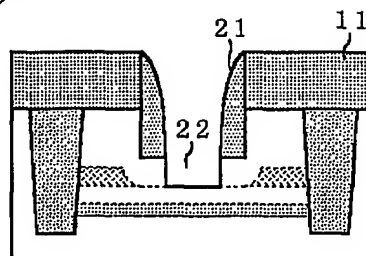


Fig.3G

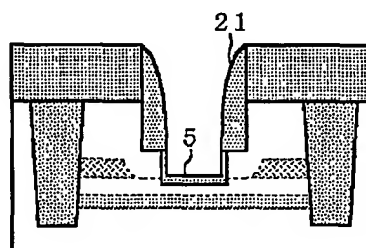


Fig.3H

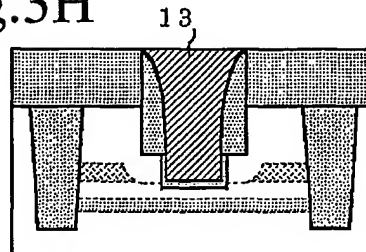
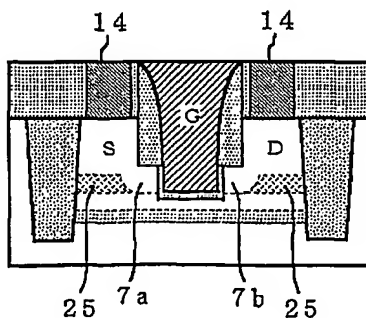


Fig.3I



100C

4/11

Fig.4A

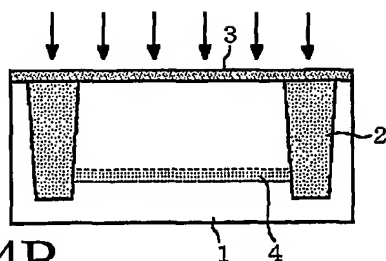


Fig.4B

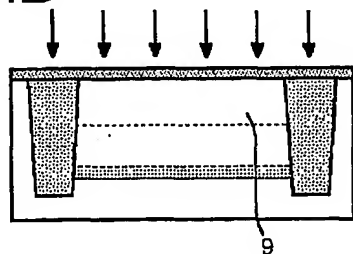


Fig.4C

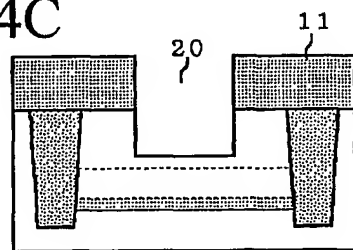


Fig.4D

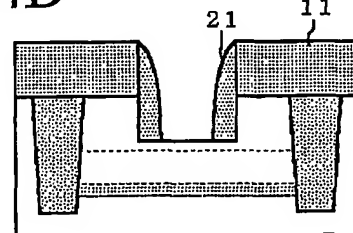


Fig.4E

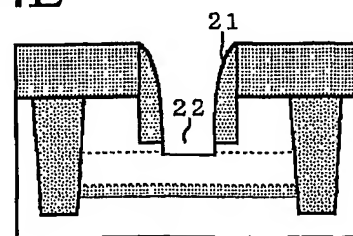


Fig.4F

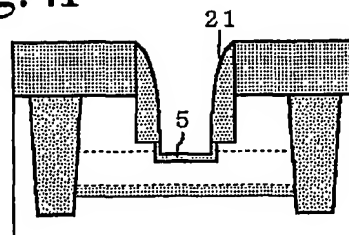


Fig.4G

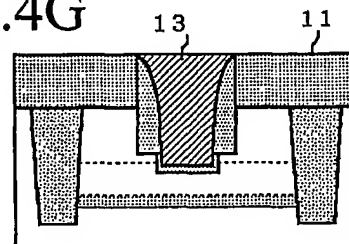


Fig.4H

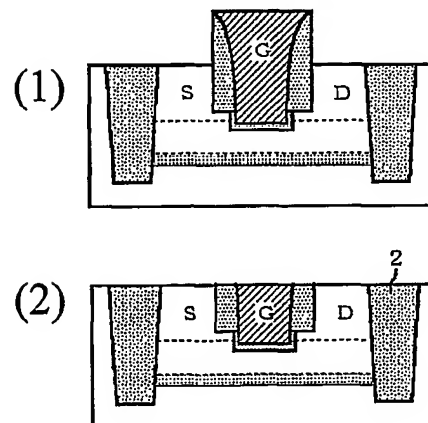


Fig.4I

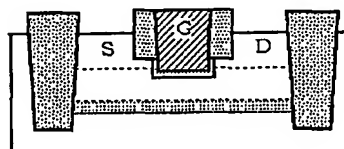
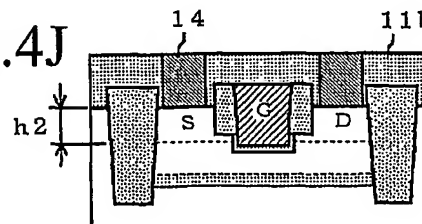


Fig.4J



100D

5/11

Fig.5A

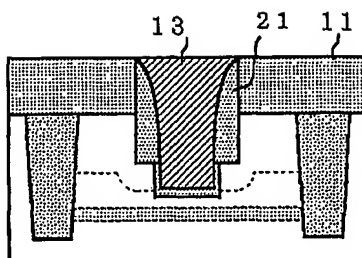


Fig.5B

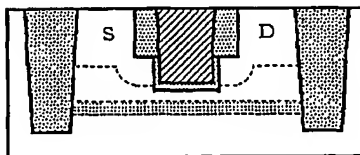


Fig.5C

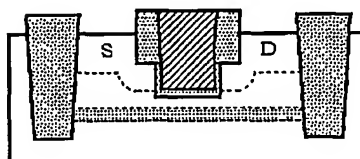
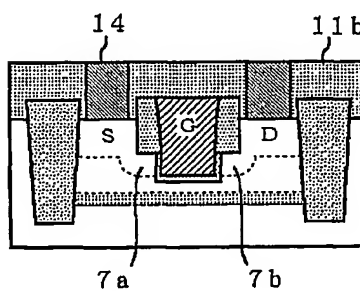
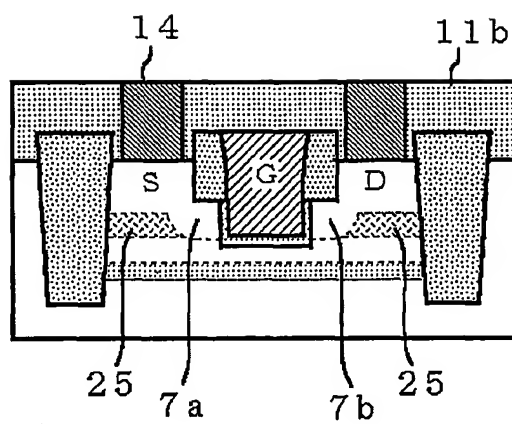


Fig.5D



100E

6/11



100F

Fig.6



7/11

Fig.7A

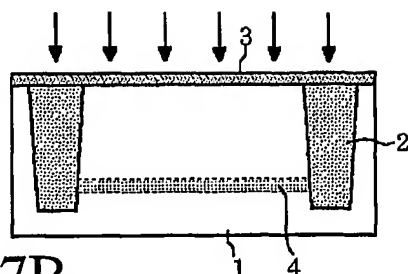


Fig.7B

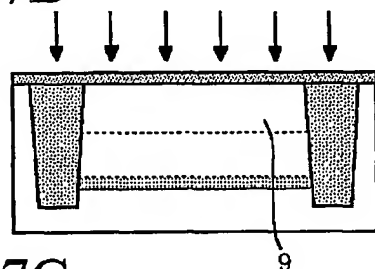


Fig.7C

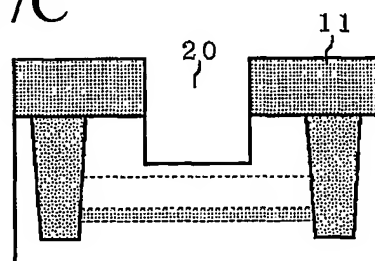


Fig.7D

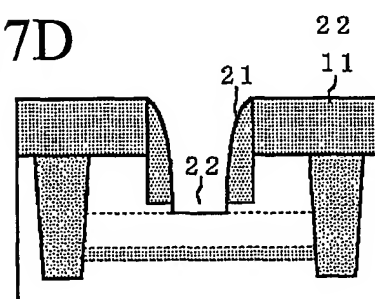


Fig.7E

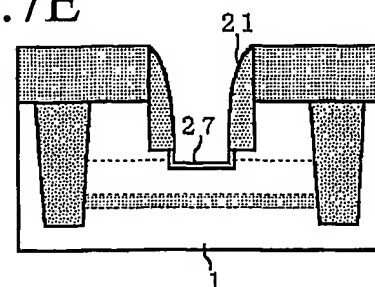


Fig.7F

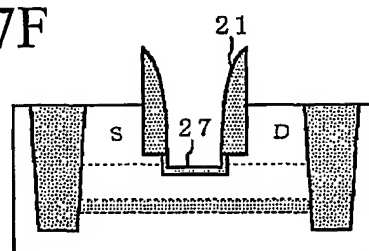


Fig.7G

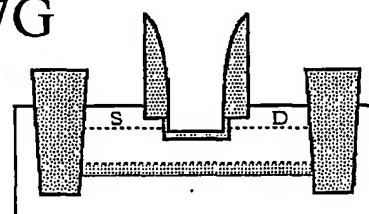


Fig.7H

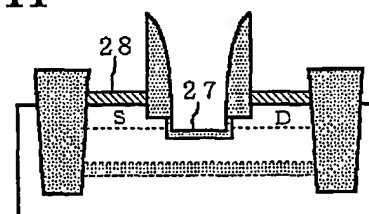


Fig.7I

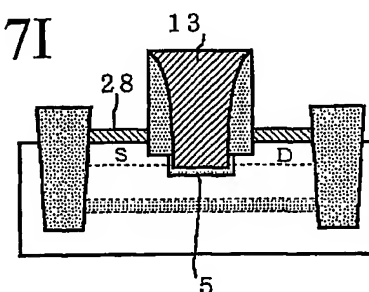
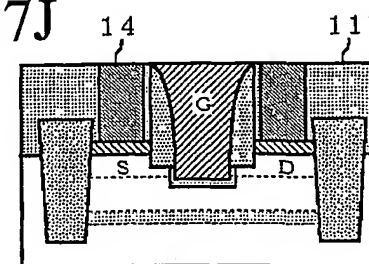


Fig.7J



100G

Fig.8A

8/11

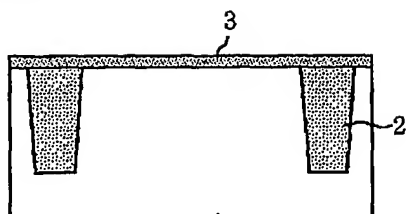


Fig.8B

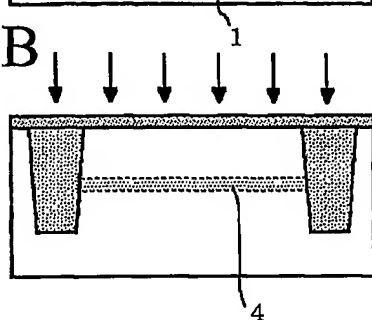


Fig.8C

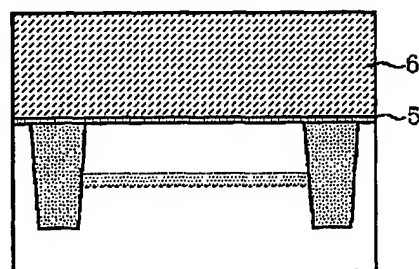


Fig.8D

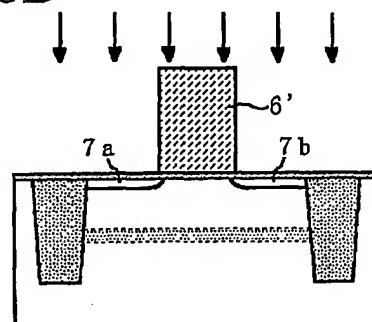


Fig.8E

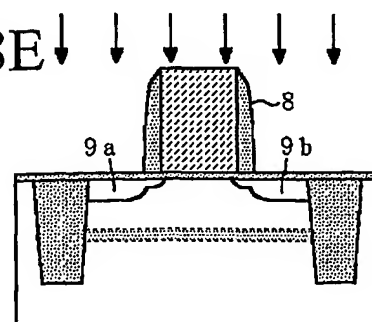


Fig.8F

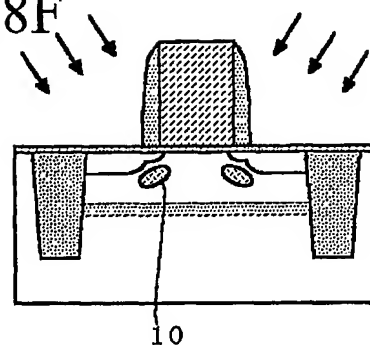


Fig.8G

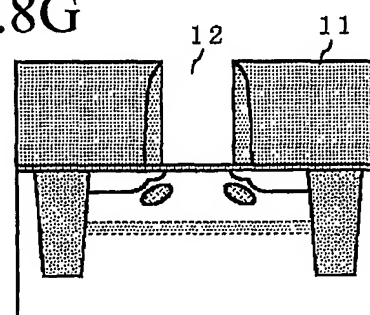


Fig.8H

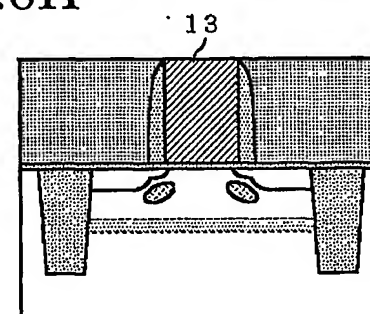
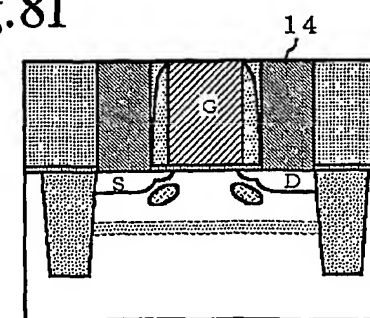


Fig.8I



100X

9/11

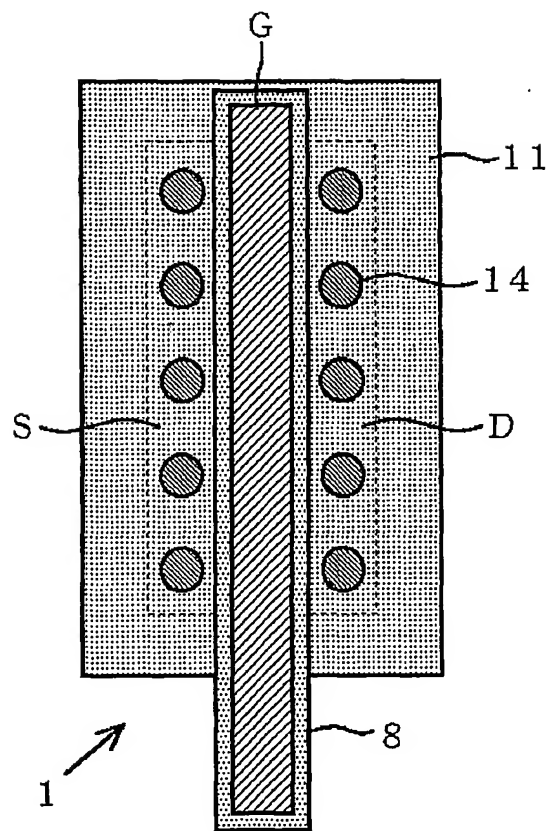


Fig.9

10/11

Fig.10A

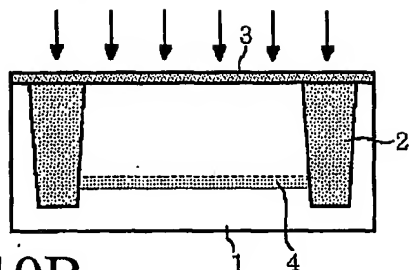


Fig.10B

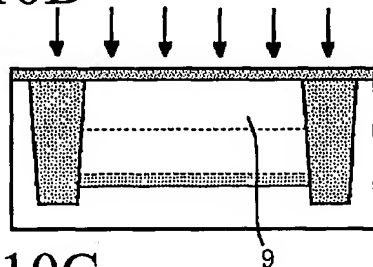


Fig.10C

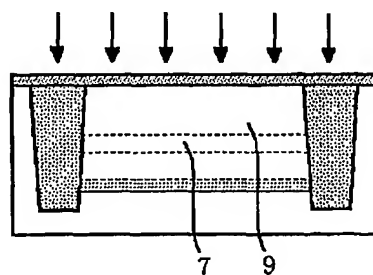


Fig.10D

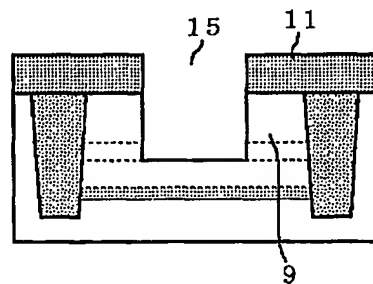


Fig.10E

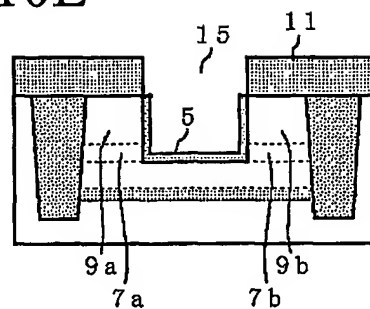


Fig.10F

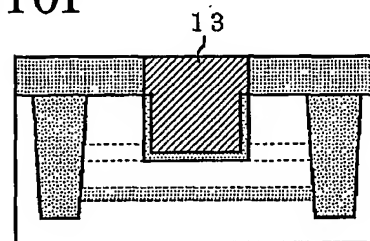
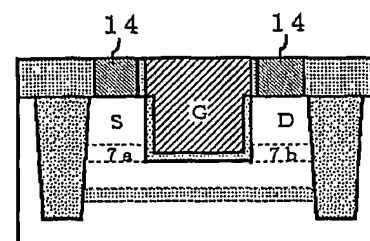


Fig.10G



100Y

11/11

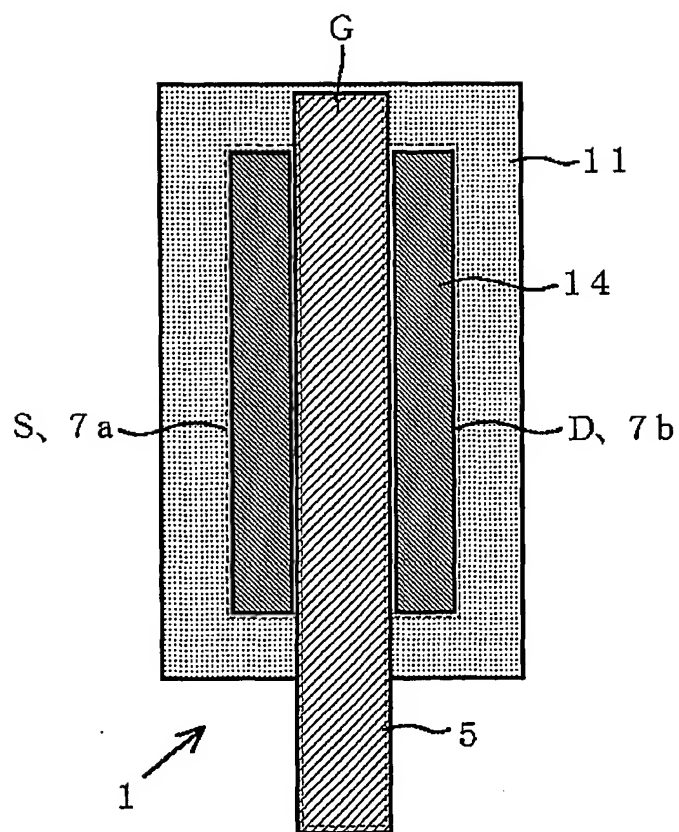


Fig.11

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/04723

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> H01L29/78, H01L21/336

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H01L29/78, H01L21/336

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2002
Kokai Jitsuyo Shinan Koho	1971-2002	Jitsuyo Shinan Toroku Koho	1996-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2-192168 A (Hitachi, Ltd.), 27 July, 1990 (27.07.90), Full text; Figs. 9 to 12 (Family: none)	1, 2, 5, 7
Y	Full text; Figs. 9 to 12	3, 4, 8
A	Full text; Figs. 9 to 12	9-12
X	JP 1-194362 A (Oki Electric Industry Co., Ltd.), 04 August, 1989 (04.08.89), Full text; Figs. 1, 4, 5 (Family: none)	1, 5, 6
Y	Full text; Figs. 1, 4, 5 (Family: none)	3, 4
X	JP 63-197375 A (Matsushita Electric Industrial Co., Ltd.), 16 August, 1988 (16.08.88), Full text; Fig. 4 (Family: none)	1, 2, 5
Y	Full text; Fig. 4	3, 4

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search  
12 August, 2002 (12.08.02)Date of mailing of the international search report  
27 August, 2002 (27.08.02)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/04723

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5998835 A (INTERNATIONAL BUSINESS MACHINES CORP.), 07 December, 1999 (07.12.99), Full text; Figs. 11 to 14, 19	1, 5
Y	Full text; Figs. 11 to 14, 19 & JP 11-274478 A Full text; Figs. 11 to 14, 19 & KR 99072292 A & TW 417305 A	3, 4
Y	JP 5-102480 A (Oki Electric Industry Co., Ltd.), 23 April, 1993 (23.04.93), Full text; Figs. 1, 2 (Family: none)	3, 8
Y	US 5994736 A (UNITED MICROELECTRONICS CORP.), 30 November, 1999 (30.11.99), Full text; Fig. 1 & JP 11-154749 A Full text; Figs. 1 to 4	4

A. 発明の属する分野の分類 (国際特許分類 (IPC))			
Int.Cl <sup>1</sup>		H01L29/78, H01L21/336	
B. 調査を行った分野			
調査を行った最小限資料 (国際特許分類 (IPC))			
Int.Cl <sup>1</sup>		H01L29/78, H01L21/336	
最小限資料以外の資料で調査を行った分野に含まれるもの			
日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2002年 日本国登録実用新案公報 1994-2002年 日本国実用新案登録公報 1996-2002年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示		関連する 請求の範囲の番号
X	JP 2-192168 A (株式会社日立製作所) 1990.07.27		1, 2, 5, 7 3, 4, 8 9-12
Y	全文, 第9図~第12図 (ファミリーなし)		
A	全文, 第9図~第12図		
X	JP 1-194362 A (沖電気工業株式会社) 1989.08.04		1, 5, 6 3, 4
Y	全文, 第1図, 第4図, 第5図 (ファミリーなし)		
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー		の日の後に公表された文献	
「A」 特に関連のある文献ではなく、一般的技術水準を示すもの		「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの	
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの		「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)		「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	
「O」 口頭による開示、使用、展示等に言及する文献		「&」 同一パテントファミリー文献	
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願			
国際調査を完了した日		国際調査報告の発送日	
12.08.02		20.08.02	
国際調査機関の名称及びあて先		特許庁審査官 (権限のある職員)	
日本国特許庁 (ISA/JP)		松嶋 秀忠	
郵便番号100-8915		4M 9836	
東京都千代田区霞が関三丁目4番3号		電話番号 03-3581-1101 内線 3460	



C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	JP 63-197375 A(松下電器産業株式会社) 1988.08.16 全文, 第4図(ファミリーなし) 全文, 第4図	1, 2, 5 3, 4
X Y	US 5998835 A(INTERNATIONAL BUSINESS MACHINES CORPORATION) 1999.12.07 全文, 第11図~第14図, 第19図 全文, 第11図~第14図, 第19図 & JP 11-274478 A 全文, 第11図~第14図, 第19図 & KR 99072292 A & TW 417305 A	1, 5 3, 4
Y	JP 5-102480 A(沖電気工業株式会社) 1993.04.23 全文, 図1, 図2(ファミリーなし)	3, 8
Y	US 5994736 A(UNITED MICROELECTRONICS CORPORATION) 1999.11.30 全文, 図1 & JP 11-154749 A 全文, 図1~図4	4